

FPGAによる位相検出型インピーダンス・プローブの構築

Development of phase detection type impedance probe stored in FPGA

若林 誠^{1*}, 小野 高幸², 鈴木 朋憲²

Makoto Wakabayashi^{1*}, Takayuki Ono², Tomonori Suzuki²

¹新居浜工業高等専門学校, ²東北大学大学院理学研究科

¹Niihama National College of Technology, ²Graduate School of Science, Tohoku Univ.

インピーダンス・プローブは、観測ロケット軌道上及び衛星軌道上の電子密度を±3%の高精度で計測できる手法として、これまで頻繁に用いられてきた。その草分けとなったのはOya[1966]による開発であり、2002年以降では電子回路部に最近のデバイスを積極的に採用する等の改良が施され、装置の安定性・信頼性は更なる向上を見せている。我々は2006年度よりインピーダンス・プローブの時間分解能の大幅な向上に向けた改良を行っており、これまで原理的な実証に加えて、電子密度の測定精度（現状では約11%）および高い時間分解能（約6.25ms）の見積もりが得られたが、回路の応答速度が不十分であり、急激な電子密度変化に追従できないという問題点があった。そこで、インピーダンス・プローブにおける高周波発振回路をFPGAを用いて再構成し、応答速度の改善を試みた。

インピーダンス・プローブの時間分解能の向上は、電離圏電子密度の直接観測において非常に有用であり、日本、米国やドイツ等で実現が図られている。我々も2006年からインピーダンス・プローブの時間分解能向上に向けた研究を行っており、入力信号と出力信号の位相差から、PLL回路を応用してUHR周波数を連続的に検出するという手法を検討してきた。しかりながら、PLL回路をインピーダンス・プローブに応用するにあたり、通常のPLLであれば確立した設計理論が存在するものの、インピーダンス・プローブに応用する際には様々な問題点がある。具体的には、周波数発振にはPICによって制御されたDDSが使われており、これをPLL回路におけるVCOの代わりにすると、PICにフィードバックされる電圧の変化から、DDSの発振周波数が変化するまでに時間遅延が生じる。このため、標準的なPLLの設計理論では、最適な回路構成を理論的に導出することが出来ず、特にループフィルタ周辺に関してはカットアンドトライで経験的に最適なフィルタを探し出す必要があった。

今回、FPGAを用いてインピーダンス・プローブを構成したが、FPGAではPICやCPUを搭載することによる時間遅延を防ぐことができ、かつ回路製作のほとんど全てがプログラミングで行われるため、カットアンドトライで半田付けする手間を省き、かつ度重なる部品交換による素子や基板へのダメージも防ぐことができる。更に、回路のほとんどがワンチップ上に書き込まれるため、インピーダンス・プローブの小型・軽量化を同時に図ることができる。これらの理由により、インピーダンス・プローブをFPGAにより構成することには大きな意義がある。

我々は従来のインピーダンス・プローブを、2つのDDSを含めてFPGA上に構成した。ただし、プラズマ中に浸した導体棒の等価容量を検出するためのブリッジ回路だけは従来どおりアナログ部品で構成している。FPGA上に構成したインピーダンス・プローブにおいて、共振回路を用いた測定実験を行った。本発表では、この結果について議論を行う。

キーワード:インピーダンス・プローブ,電子密度

Keywords: Impedance Probe, Electron Density